

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252398

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H01L 29/784

H01L 21/268

H01L 21/324

H01L 27/092

(21)Application number : 05-035934

(71)Applicant : NEC CORP

(22)Date of filing : 25.02.1993

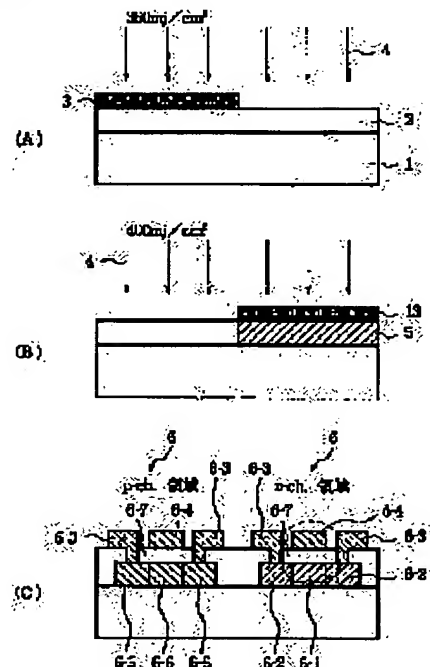
(72)Inventor : TANABE HIROSHI

(54) THIN FILM INTEGRATED CIRCUIT AND FABRICATION OF THE SAME

(57)Abstract:

PURPOSE: To execute independent stress control of a channel region of TFT by introducing different polycrystal and non-crystal composition structures and different crystal grain sizes and crystal grain boundaries in the polycrystal structure for a semiconductor thin film which becomes n-ch TFT and semiconductor thin film which becomes p-ch TFT.

CONSTITUTION: An a-Si thin film 2 is deposited on a glass substrate 1. Next, a laser shielding layer 3 is formed by patterning on the region where p-ch TFT. A region where a circuit is formed is annealed by a laser 4. Next, after the light shielding layer 3 is peeled, the light shielding layer 13 is formed on the n-ch TFT region to conduct laser annealing. Thereafter, the light shielding layer 13 is peeled and laser annealing is conducted. Thereafter, the light shielding layer 13 is peeled and a thin film transistor 6 is formed using the laser annealed Si thin film. Thereby, independent stress control of channel region of TFT can be enabled.



LEGAL STATUS

[Date of request for examination] 25.02.1993

[Date of sending the examiner's decision of rejection] 17.10.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2522470

[Date of registration] 31.05.1996

[Number of appeal against examiner's decision of rejection] 07-24417

[Date of requesting appeal against examiner's decision of rejection] 16.11.1995

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평06-252398호(1994.09.09) 1부.

[첨부그림 1]

(19)日本国特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-252398

(43)公開日 平成6年(1994)8月8日

(51)Int.Cl.	識別記号	序内整理番号	F.I	技術表示箇所
H01L 29/784				
21/268	Z	8017-4M		
21/324	N	8017-4M		
		9059-4M		
		9170-4M		
H01L 29/78			3:1 C	
			3:2 B	

審査請求 有 前記項の数 01 (全 5 頁) 最終頁に続く

(21)出願番号 特願平5-35624

(22)出願日 平成5年(1993)2月25日

(71)出願人 000004277

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田邊 浩

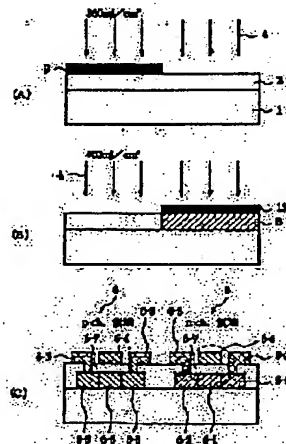
東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁護士 京本 直樹 (外2名)

(54)【発明の名称】 隔壁構造回路およびその製造方法

【目的】 隔壁回路を構成するp-n、TFETとn-p-n、TFETとをそれぞれ最適化して形成する。

【構成】 p-n、TFETのチャネルとなる半導体薄膜とn-p-n、TFETのチャネルとなる半導体薄膜とを、たがいに異なるレーザ露光によるレーザアニールにより形成する。



【특정請求의範圍】

【請求項 1】 基板上에 n 채널型薄層トランジスタ와 p 채널型薄層トランジスタ를有する薄層集積回路에 있어서, 前記 n 채널型薄層トランジスタ의 채널となる半導体薄層과前記 p 채널型薄層トランジスタ의 채널となる半導体薄層とは가いに異なる結晶面의 레이저照射により形成された半導体薄層であることを特徴とする請求項 1 に記載의薄層集積回路。

【請求項 2】 前記 n 채널型薄層トランジスタ의 채널となる半導体薄層과前記 p 채널型薄層トランジスタ의 채널となる半導体薄層とは가いに異なる結晶面의 레이저照射により形成された半導体薄層であることを特徴とする請求項 1 に記載의薄層集積回路。

【請求項 3】 基板의第 1의領域에複数の n 채널型薄層トランジスタ群が形成され, 前記第 1의領域から隣接する前記基板의第 2의領域에複数の p 채널型薄層トランジスタ群が形成されていることを特徴とする薄層集積回路。

【請求項 4】 前記第 1의領域에前記 n 채널型薄層トランジスタ의 채널となる半導体薄層과前記第 2의領域에前記 p 채널型薄層トランジスタ의 채널となる半導体薄層とは, 가いに異なる結晶面および非結晶面による組成構造와多結晶構造中の結晶面傾斜, 結晶面角が異なることを特徴とする請求項 3 に記載의薄層集積回路。

【請求項 5】 基板上에 n 채널型薄層トランジスタ와 p 채널型薄層トランジスタ를有する薄層集積回路의製造方法에 있어서, 前記 n 채널型薄層トランジスタ의 채널となる半導体薄層과前記 p 채널型薄層トランジスタ의 채널となる半導体薄層とは가いに異なる結晶面의 레이저照射がなされることを特徴とする薄層集積回路の製造方法。

【請求項 6】 前記 n 채널型薄層トランジスタはその複数個が一聯となって前記基板의第 1의領域에形成され, 前記 p 채널型薄層トランジスタはその複数個が一聯となって前記第 1의領域から隣接する前記基板의第 2의領域에形成されることを特徴とする請求項 5 に記載의薄層集積回路の製造方法。

【請求項 7】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 8】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 9】 また本發明の他の特徴は, 基板上に n- α -Si TFT と p- α -Si TFT とを有する薄層集積回路の製造方法において, n- α -Si TFT のチャンネルとなる半導体薄層と p- α -Si TFT のチャンネルとなる半導体薄層とは가いに多結晶面および非結晶面による組成構造와多結晶構造中の結晶面傾斜, 結晶面角が異なる薄層集積回路にある。

【請求項 10】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 11】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 12】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 13】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 14】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 15】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 16】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 17】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 18】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 19】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 20】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 21】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 22】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 23】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 24】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 25】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

【請求項 26】 本發明は薄層集積回路およびその製造方法に係わり, 特に液晶ディスプレイ, イメージセンサ等に応用可能な薄層トランジスタ (以下, TFT と呼ぶ) を用いた薄層集積回路に関する。

【請求項 27】 従来の技術) 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として, 多結晶シリコン TFT の開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成される TFT は, ソーダガラスなどの底ガラス, 低融点ガラス基板上に集積回路を作成する上での主要素子となっている。

る半導体薄膜と $p\text{-GaAs}$ 、 TFET のチャネルとなる半導体薄膜とはがいに異なる強度のレーザ照射により形成される導電回路の製造方法にある。

【00140】ここで上記導電回路回路もしくはその製造方法において、基板の第1の領域に結晶性半導体の $p\text{-GaAs}$ 、 TFET の膜を形成されることができ、

【00141】すなわち、図3に示すようなレーザ強度と、トランジスタ特性から得られるキャリア移動度との関係が実験から得られた。エネルギーを選択することによって $p\text{-GaAs}$ 、 TFET と、 $p\text{-GaAs}$ 、 TFET との移動度変化が可能である。レーザ強度の違いは形成される Si 微細構造を変化させる。例えば、多結晶構造と非晶構造等の違いや、多結晶構造中の結晶粒徑、結晶粒界の密度などである。したがって微細構造によりキャリアの移動度が変化するが、実験結果からキャリアとなる電子とホール移動度に対する最適強度は異なっている。この原因として Si 中に生じる応力が考えられる。

【00142】なお、実験に用いた TFET は図4に示すような構造のものを用いた。石英基板上にソース、ドレイン電極となる MoSi 、 p-GaAs 、 Si の層を形成し、その上部に堆積された e （アモルファス）- Si 層を各エネルギーで1ヶ所につき10ショットずつレーザアニールすることによってチャネル層を形成した。チャネル長 $0.5\mu\text{m}$ 、チャネル幅 $0.5\mu\text{m}$ であり、ゲート絶縁膜として SiO_2 薄膜を真空 CVD 法により 1500nm 堆積し、ゲート電極、ソース、ドレイン電極は Al （アルミ）を用いた。またパターニングはフォトリソグラフィとドライエッチング等により行った。

【00143】このように本発明の構造によれば、 $n\text{-GaAs}$ 、 TFET を形成する半導体薄膜と、 $p\text{-GaAs}$ 、 TFET を形成する半導体薄膜と異なる強度のレーザ強度でアニールされる。レーザ強度の違いは形成される Si 微細構造の相違を生じさせる。したがって微細構造の異なる半導体薄膜を得ることによって、その半導体薄膜中の応力制御が可能となる。

【00144】又、本発明の他の特徴によれば、2次元的に広がるガラス基板上に $n\text{-GaAs}$ 、 TFET 膜と $p\text{-GaAs}$ 、 TFET 膜とが独立した領域に配置されるため、製造工程数の増加やレーザ照射の精密位置制御を行うことなく、 $p\text{-GaAs}$ 、 TFET 膜と $n\text{-GaAs}$ 、 TFET 膜とで異なるレーザ強度の制御が可能となる。

【00145】

【実施例】本発明の第1の実施例を図1に示す。まず図1(A)に示すように、ガラス基板1上に例えば真空 CVD 法によって e - Si 薄膜2を 100nm の膜厚に堆積する。次に、 $p\text{-GaAs}$ 、 TFET が形成される領域にレーザの透光層をフォトリソグラフィ等によりパターニングし形成する。透光層としては W 、 Mo 等の高融点を有し、 Al 等のエキシマレーザに対し反射率の高い金属、 Si 等の吸収係数の高い導電膜、あるいは上記のような

膜の透光層等レーザの透光が可能ない材料であれば良い。以上のように、 $p\text{-GaAs}$ 、 TFET 領域を透光した状態で、回路を形成すべき領域を $3.60\text{mJ}/\text{cm}^2$ でレーザアニールする。用いたレーザは $\lambda = 0.1\text{ }\mu\text{m}$ のエキシマレーザで、波長 30.8nm の光に対する吸収率は 1.0×10^5 以上である。

【00146】次に、上記透光層を剥離した後、図1(B)に示すように、 $n\text{-GaAs}$ 、 TFET 領域に透光層13を形成し、 $4.00\text{mJ}/\text{cm}^2$ でレーザアニールを行う。上記と同様に、1ヶ所に対する照射回数は 1.0×10^5 以上である。その後、透光層13を剥離し、レーザアニールされた Si 薄膜を用いて、図1(C)に示すような導電トランジスタ6を形成する。チャネル層 $0.5\mu\text{m}$ 、 $0.5\mu\text{m}$ にたいし、 $n\text{-GaAs}$ 層 $0.2\mu\text{m}$ 、 $p\text{-GaAs}$ 層 $0.3\mu\text{m}$ はイオン注入法等により形成し、ゲート絶縁膜として SiO_2 薄膜6-1を真空 CVD 法により 1500nm 堆積する。ゲート電極 $0.4\mu\text{m}$ 、ソース、ドレイン電極 $0.3\mu\text{m}$ は Al （アルミ）を用いている。さらに、集電回路の製造には、以上のように形成された $n\text{-GaAs}$ 、 TFET 、 $p\text{-GaAs}$ 、 TFET が用いられ、図1(C)に示す TFET 上部に層間絶縁膜の形成、配線用金属の形成が行われる。

【00147】以上のように、 $n\text{-GaAs}$ 、 TFET チャネル領域と、 $p\text{-GaAs}$ 、 TFET チャネル領域を異なる強度でレーザアニールを行った結果、 $n\text{-GaAs}$ 、 TFET では移動度 $198\text{cm}^2/\text{Vs}$ 、 $p\text{-GaAs}$ 、 TFET では移動度 $103\text{cm}^2/\text{Vs}$ であるという。各 TFET において最も高い移動度が得られた。各チャネル領域に生じている応力を RAMAN 散乱分光法から見積もったところ $n\text{-GaAs}$ 、 TFET 領域で $9 \times 10^9 \text{dyn}/\text{cm}^2$ 、 $p\text{-GaAs}$ 、 TFET 領域で $5 \times 10^9 \text{dyn}/\text{cm}^2$ と応力の制御がなされていることが確認された。

【00148】また、上記実施例においてはレーザの透光層が基板上に形成されレーザ強度の選択が行われたが、レーザを任意の照射形状に制御するマスクは本実施例のみに限らずレーザの光路上いずれの位置に配置されても良い。

【00149】次に本発明の第2の実施例について説明する。図2は400ビットシフトレジスタの記憶回路である。操作回路1、ビット P 、チャネルセル7、及び N チャネルセル9がそれぞれ平行して400個並列に配置することによって400ビットのシフトレジスタが構成されている。このように $n\text{-GaAs}$ 、 TFET 領域141、 $p\text{-GaAs}$ 、 TFET 領域142とを明確に分離し配置することにより、集電回路製造工程におけるレーザ照射強度の選択が容易になった。したがって上記第1の実施例と同様に、 $n\text{-GaAs}$ 、 TFET 領域を $3.60\text{mJ}/\text{cm}^2$ で、 $p\text{-GaAs}$ 、 TFET 領域を $4.00\text{mJ}/\text{cm}^2$ でそれぞれ1ヶ所につき10ショットずつレーザアニールすることにより、製造工程においてそれぞれ最適条件でのレーザアニールを行う。

[첨부그림 4]

【0020】上記各実施例においては、上記に示したごとく1Dショットノブの照射密度で行っているが、照射密度を高めてアニールすることも可能であり、 n^+ - ch 、TFT、 p^+ - ch 、TFTに同じ異なる照射密度でのアニールも可能である。使用されるレーザについてX α 、Crエキシマレーザに限らず、KrF、ArFその他エキシマレーザ、YAGレーザ等のパルスレーザについても使用可能である。

【0021】

【発明の効果】本発明により、液晶駆動回路を構成するTFTのチャネル領域の独立した応力制御が可能となり、形成される集積回路の動作は能率の向上、信頼性の向上が実現されるという効果を有する。

【図1】本発明の第1の実施例の液晶駆動回路を形成工程断面図面図である。

【図2】本発明の第2の実施例の液晶駆動回路を示す断面図面図である。

【図3】 p^+ - ch 、TFTと n^+ - ch 、TFTについて、レーザ照射と移動度の関係を示す図である。

【図4】図3の実験に用いたTFTを示す断面図である。

【図5】液晶駆動回路の例として液晶ディスプレイ用TFT基板を示す図である。

【符号の説明】

1 ガラス基板

2 Si基板

3、13 遮光層

4 エキシマレーザ

5 レーザアニールにより改質された領域

6 液晶トランジスタ

6-1 n^+ - ch 、TFTチャネル

6-2 n^+ S1層

6-3 A1電極

6-4 ゲート電極

6-5 p^+ S1層

6-6 p^+ - ch 、TFTチャネル

7 走査回路1ビットPチャネルセル

8 走査回路1ビットNチャネルセル

9 シフトレジスタ出力

10 電選他

11 n^+ - ch 、TFT領域

12 p^+ - ch 、TFT領域

3-1 駆動回路一体型液晶ディスプレイTFT基板

3-2 画素領域

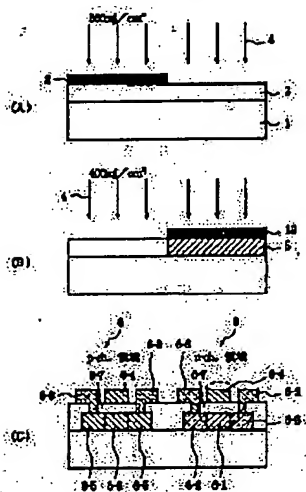
3-3 レーザ照射領域

3-4 エキシマレーザ

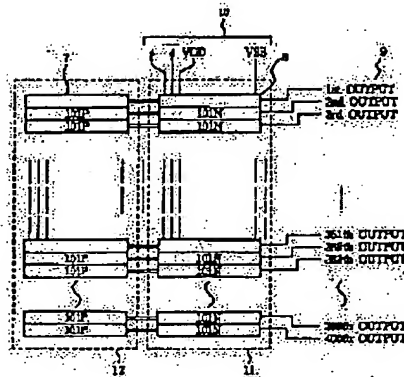
3-5 データ走査回路

3-6 ゲート走査回路

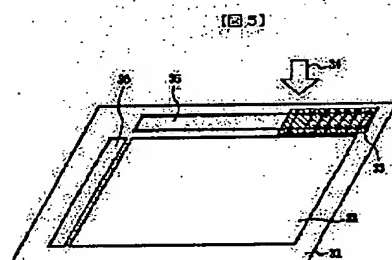
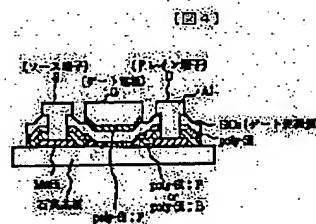
【図1】



【図2】



[첨부그림 5]



프론트ページの抜き

(S) Int. Cl. 5:
H.0.1 L 27/002

識別記号

片内整理番号

F-1

技術表示場所

9036-4M

H.0.1 L 29/78

3.1.1 H

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.